

①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 198 32 329 A 1**

⑤① Int. Cl.⁶:
H 01 L 21/334
H 01 L 21/3065

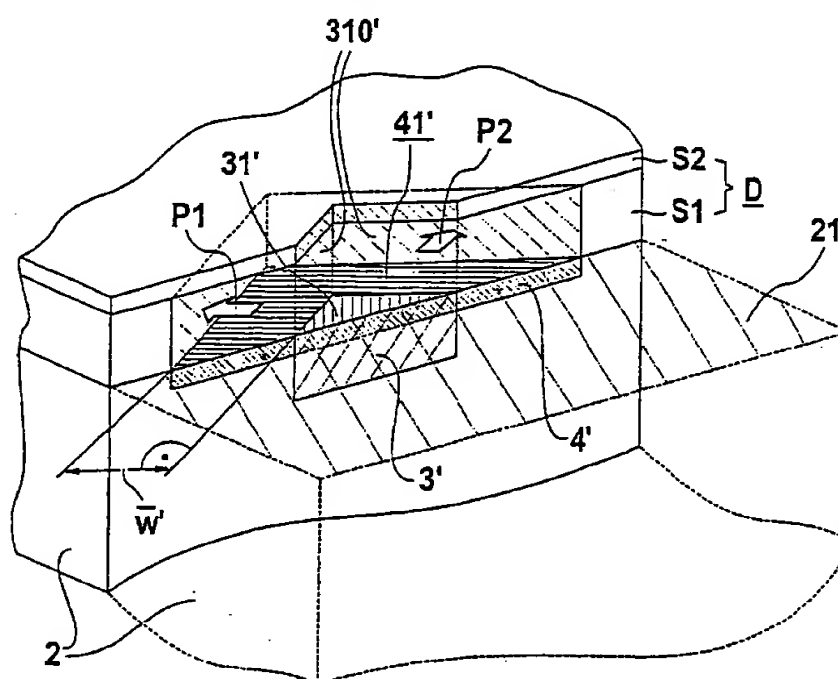
②① Aktenzeichen: 198 32 329.8
②② Anmeldetag: 17. 7. 98
④③ Offenlegungstag: 4. 2. 99

⑥⑥ Innere Priorität:
197 33 068. 1 31. 07. 97
⑦① Anmelder:
Siemens AG, 80333 München, DE

⑦② Erfinder:
Peters, Dethard, Dr., 91315 Höchstadt, DE;
Schörner, Reinhold, Dr., 91091 Großenseebach, DE

⑤④ Verfahren zur Strukturierung von Halbleitern mit hoher Präzision, guter Homogenität und Reproduzierbarkeit

⑤⑦ Auf die eine Oberfläche (21) eines Halbleitergebiets (2) wird ein Dünnschichtsystem abgeschieden. Nach Öffnen von wenigstens einem Fenster (31') im Dünnschichtsystem dient besagtes Fenster als Maske für eine erste selektive Bearbeitung eines ersten Halbleiterteilgebiets (3'). Durch Unterätzen des Dünnschichtsystems (D) wird der Rand (310') des Fensters (31') annähernd gleichmäßig um eine mittlere Unterätztiefe (\bar{w}') zurückgenommen. Das wenigstens eine vergrößerte Fenster (42') dient als Maske für eine zweite selektive Bearbeitung eines zweiten Halbleiterteilgebiets (4').



DE 198 32 329 A 1

Beschreibung

Die Erfindung bezieht sich auf ein Verfahren zur Herstellung von Halbleiter-Strukturen, insbesondere aus Silizium-Carbid. Die Erfindung betrifft ferner eine entsprechend hergestellte Halbleiter-Struktur.

Bei Leistungshalbleiterbauelementen, z. B. Leistungsmosfets (Metal-Oxide-Semiconductor Field Effect Transistor), wird an die Homogenität besonders hohe Anforderungen gestellt, weil häufig viele als Zellen bezeichnete Teile dieser Elemente parallel geschaltet werden und jede Zelle den gleichen Anteil zum Gesamtstrom beitragen soll.

Bei einem aus der Silizium-Technik an sich bekannten Aufbau einer vertikalen MOSFET-Zelle mit einem sogenannten lateralen Kanalgebiet wird eine sogenannte Kanallänge definiert durch den lateralen Überlapp eines Basisgebiets über ein Source-Gebiet des MOSFETs mit entgegengesetztem Leitungstyp. Zur Erzielung eines niedrigeren Kanalwiderstands trachtet man danach, die Kanallänge der MOSFET-Zelle zu minimieren. Für eine Massenfertigung von Bauelementen mit wenigstens annähernd identischen Eigenschaften ist es ferner erforderlich, daß die Kanallänge über den gesamten Wafer aus dem Halbleitermaterial zumindest weitgehend homogen ist und von Wafer zu Wafer reproduzierbar eingestellt werden kann.

Aus dem Buch von "B.J. Baliga", Modern Power Devices, Krieger, Publishing Comp., 1992, Seiten 331-336 ist ein selbstjustierendes Verfahren zur Herstellung von vertikalen MOSFET-Bauelementen in Silizium bekannt. Im beschriebenen Verfahren zur Herstellung eines DMOS-FET (double-diffused MOSFET) wird auf eine durch Epitaxie erzeugte Siliziumschicht vom n-Leitungstyp zunächst ein MOS-System (Gate-Oxid und Gate-Elektrode) präpariert. Das MOS-System wird in gewünschter Weise photolithographisch strukturiert und bildet eine Maske mit definierten Zell-Fenstern für die nachfolgende Implantation von Bor-Ionen. Anschließend wird eine Hilfsmaskierung aufgebracht, welche jeweils in der Mitte der Zell-Fenster einen Teil der zuvor implantierten p-dotierten Basis-Gebiete maskiert und so von der Oberfläche der Halbleiterstruktur her zugänglich hält. Das so modifizierte Maskensystem dient als Maske für einen weiteren Implantationsschritt (üblicherweise mit Arsen), der die n-dotierten Source-Gebiete der Struktur definiert. Die Kanallänge der Struktur resultiert aus den unterschiedlichen Diffusionskoeffizienten des langsamen Donators und des schnellen Akzeptors. Über Temperatur und Dauer des Ausheilprozesses kann die Kanallänge selbstjustierend eingestellt werden. Das MOS-System wird durch diesen Hochtemperaturschritt nicht oder nur unwesentlich in Mitleidenschaft gezogen. Nach dem thermischen Ausheilen der implantierten Dotierstoffe wird auf die Struktur eine isolierende Oxidschicht aufgebracht. In der Oxidschicht werden, justiert auf die Hilfsmaskierung, photolithographisch Kontaktfenster geöffnet. Abschließend wird die Oberfläche metallisiert. Dieses Verfahren ist im Bezug auf die Einstellung der Kanallänge unkritisch. Es benötigt lediglich zwei relativ unkritische Justierschritte bei der Aufbringung der Hilfsmaskierung und dem Öffnen der Kontaktfenster, ist allerdings nicht auf Halbleiter anwendbar, bei denen praktisch keine Diffusion stattfindet, wie z. B. SiC oder Diamant.

In "Self aligned 6H-SiC MOSFETs with improved current drive", J.N. Pan, J.A. Cooper, M.R. Melloch, Electronics letters, 6. Juli 1995, Vol. 31, Nr. 14, S. 1200-1201 ist ein Verfahren zur Herstellung eines lateralen MOSFETs in Silizium-Carbid des Kristall-Typs 6H (6H-SiC) beschrieben. Gemäß diesem Verfahren definieren benachbarte Fenster in einer Maskenebene innerhalb einer epitaktisch aufgewach-

senen, p-dotierten 6H-SiC-Schicht paarweise Source- und Drain-Gebiete einer Einheitszelle, die jeweils mittels Implantation von Stickstoffionen n-dotiert werden.

Da für SiC aber im Vergleich zu Silizium (750°C-800°C) deutlich höhere Temperaturen (1200°C-1500°C) zum Ausheilen und Aktivieren der implantierten Dotierstoffe erforderlich sind, ist die Verwendung des MOS-Systems als Maskierung problematisch. Um das MOS-System nicht zu schädigen, kann nur bei Temperaturen bis maximal 1200°C getempert werden. Zudem ist die Diffusion in SiC vernachlässigbar klein, so daß keine dem Siliziumverfahren entsprechende selbstjustierende Kontrolle über eine Kanallänge besteht. Somit ist eine Implantation von Akzeptor-Ionen nicht möglich. Die Kanallänge wird über den Abstand der Fenster in der Maske eingestellt, und das Gate-Oxid und die Gate-Elektrode liegen selbstjustiert über dem Inversionskanal. Das Verfahren ist nicht anwendbar auf solche Bauelementtypen, bei denen ein Kanalgebiet implantiert wird, weil dazu entweder für Source und Drain oder für das Kanalgebiet eine p-Dotierung notwendig ist. Die maximal mögliche Ausheiltemperatur von 1200°C reicht aber für eine Ausheilung der Gitterschädigung und Aktivierung der Akzeptor-Ionen nicht aus.

In "4H-Silicon Carbide Power Switching Devices", J.W. Palmour et al., Technical digest of International conference on SiC and related materials, Kyoto, 1995, S. 319-322 wird die Herstellung einer nicht planaren UMOS-Struktur beschrieben. Die Source-Gebiete werden durch Implantation von Donator-Ionen in eine epitaktisch gewachsene p-dotierte SiC-Schicht definiert. Durch reaktives Ionenätzen (Reactive Ion Etching, RIE) wird, jeweils auf die Mitte der Source-Gebiete justiert, ein U-förmiger Graben in der Oberfläche der Halbleiterstruktur geöffnet. Die Gräben reichen jeweils hinunter bis in die unter der p-dotierten SiC-Schicht angeordnete n-dotierte SiC-Schicht und nehmen Gate-Oxid und Gate-Elektrode auf. Die Kanallänge wird durch die in vertikaler Richtung zwischen Source-Gebiet und n-dotierter SiC-Schicht verbleibende Dicke der p-dotierten SiC-Schicht definiert. Auch bei diesem Verfahren ist nur ein einziger Implantationsschritt vorgesehen. Die Kanallänge wird über die Eindringtiefe der Stickstoff-Ionen und die Dicke der p-dotierten SiC-Schicht kontrolliert. Ein lateral angeordnetes Kanalgebiet läßt sich mit diesem Verfahren nicht realisieren.

Ein weiteres Verfahren zur selbstjustierten Herstellung einer Halbleiterstruktur in Silizium mit zwei Implantationsschritten ist in "A low loss/highly rugged IGBT-Generation - based on a self aligned process with double implanted n/n⁺-Emitter", Proc. of the 6th international Symposium on power semiconductor devices & ICs, Davos, 1994, Seite 171-175 vorgestellt. Das Verfahren zeichnet sich dadurch aus, daß nach einem Implantationsschritt eine aus der Siliziumtechnologie bekannte Spacer-Technik angewendet wird. In einem CVD-Prozeß werden die zuvor in die Maskenebene eingeätzten Fenster von deren Rand aus gleichmäßig um einen definierten Betrag zwischen 0,4 µm und 0,6 µm verkleinert. Mit diesen verkleinerten Fenstern können dann in einem folgenden Implantationsschritt weitere Halbleitergebiete erzeugt werden, die alle jeweils zu einem durch den ersten Implantationsschritt erzeugten Halbleitergebiet bis auf 0,3 µm genau selbstjustiert sind. Nachteilig bei diesem beschriebenen Verfahren ist, daß es nicht mehrfach hintereinander anwendbar ist, und mittels der Spacer-Technik nur Verkleinerungen der Fenster bis maximal 1 µm möglich sind. Zudem sind Abscheideverfahren und Abtrag der Hilfsschichten zeit- und kostenaufwendig.

Die der Erfindung zugrunde liegende Aufgabe ist es, ein selbstjustierendes Verfahren zur Strukturierung von Halbleitern anzugeben, mit dem in einer Halbleiteranordnung die

räumliche Anordnung wenigstens zwei verschiedener Halbleiter-Teilgebiete mit unterschiedlichen elektronischen Eigenschaften mit zum Stand der Technik mindestens vergleichbarer Präzision, Homogenität und Reproduzierbarkeit eingestellt werden können, und das neben Silizium auch noch für weitere Halbleitermaterialien, insbesondere Silizium-Carbid, geeignet ist.

Die Aufgabe wird gemäß der Erfindung gelöst mit den Merkmalen des Anspruchs 1.

Das erfindungsgemäße Verfahren zur Herstellung von Halbleiterstrukturen umfaßt folgende Verfahrensschritte:

- a) auf die Oberfläche eines Halbleitergebiets wird ein Dünnschichtsystem aus wenigstens einem Maskierungsmaterial abgeschieden;
- b) mit einem Ätzverfahren wird mindestens ein Fenster in das Dünnschichtsystem eingätzt;
- c) das mindestens eine Fenster im Dünnschichtsystem wird als Maske für eine erste selektive Bearbeitung eines Teilgebiets des Halbleitergebiets genutzt;
- d) durch einen Unterätzprozeß wird wenigstens in Teilschichten des Dünnschichtsystems der Rand des mindestens einen Fensters in der Schichtebene jeweils annähernd gleichmäßig um einen Betrag zurückgenommen, der einer mittleren Unterätztiefe entspricht;
- e) das mindestens eine, durch Unterätzen vergrößerte Fenster im Dünnschichtsystem wird als Maske für eine zweite selektive Bearbeitung eines weiteren Teilgebiets des Halbleitergebiets genutzt.

Die Erfindung beruht dabei auf der Erkenntnis, daß bei erfindungsgemäßer Wahl der Verfahrensschritte sämtliche Gebiete der Halbleiterstruktur, die einer selektiven Bearbeitung unterzogen werden sollen, über eine einzige Maskenebene relativ zueinander justiert sind. In diesem Sinne kann das Verfahren als selbstjustierend bezeichnet werden. Wesentlich für das Verfahren ist ein Unterätz-Prozeß, mit dem Fenster des Dünnschichtsystems jeweils annähernd gleichmäßig um einen Betrag in der Schichtebene zurückgenommen werden können. Lediglich bei der Kontaktierung der Halbleitergebiete mit Metall-Kontakten und beim Aufbringen zusätzlicher Oxidschichten bzw. Gate-Elektroden ist eine Justierung auf die ursprünglich in der Maskenebene definierten Fenster erforderlich.

Vorteilhafte Ausgestaltungen des erfindungsgemäßen Verfahrens ergeben sich aus den Unteransprüchen. Besonders vorteilhaft sind die nachfolgend angesprochenen Ausführungsformen.

In einer ersten, vorteilhaften Weiterbildung des Verfahrens wird nach einer zweiten selektiven Bearbeitung des Halbleitergebiets wenigstens einmal eine Abfolge von Verfahrensschritten angewandt, welche wenigstens die Verfahrensschritte des Unterätzens des Dünnschichtsystems sowie des selektiven Bearbeitens des Halbleitergebiets umfassen.

In einer weiteren vorteilhaften Ausführungsform des Verfahrens besteht das Dünnschichtsystem mindestens aus einer ersten und einer zweiten Dünnschicht, wobei die beiden Dünnschichten nacheinander auf die Oberfläche des zu strukturierenden Halbleitergebiets abgeschieden werden und aufgrund ihrer Materialeigenschaften sowohl gegeneinander als auch gegenüber dem Halbleitermaterial selektiv ätzbar sind. Beim erfindungsgemäßen Unterätz-Prozeß findet ein Abtrag des Dünnschichtsystems somit gleichmäßig in der Schichtebene einer ersten Schicht statt.

In einer vorteilhaften Ausgestaltung wird das Unterätzen durch naßchemisches Ätzen vorgenommen. Ein vorgegebener Sollwert der Unterätztiefe kann dann über die Ätzdauer eingestellt werden.

In einer weiteren, vorteilhaften Ausgestaltung ist zumindest für Teile des Dünnschichtsystems ein Oxidmaterial vorgesehen. Bevorzugt wird als Oxidmaterial Siliziumdioxid (SiO_2) verwendet, es sind aber auch andere Oxide oder Nitride, wie etwa Ti_2O_3 , SiO , Ta_2O_5 , Si_3N_4 , denkbar, oder auch andere Materialien, die sich selektiv ätzen lassen. Falls das Halbleitermaterial zumindest teilweise Silizium(-Atome) enthält (Si , SiC), kann vorteilhaft eine SiO_2 -Schicht beispielsweise mit einem der bekannten Verfahren zur thermischen Oxidation einer Halbleiteroberfläche auf einfache Weise hergestellt werden. Typischerweise besteht eine zweite oder auch weitere Schicht des Dünnschichtsystems aus Polysilizium oder spannungsarmem Si_3N_4 .

In einer besonders vorteilhaften Ausgestaltung wird als naßchemisches Ätzmittel gepufferte Flußsäure (BHF) verwendet. Die Unterätztiefe kann dann sehr genau kontrolliert werden, da die Ätzrate von BHF für SiO_2 beispielsweise bei 70 nm/min liegt, und das Ätzmittel die zu ätzenden Oberflächen gut benetzt.

In einer weiteren Ausführungsform des Verfahrens wird für das Öffnen des mindestens einen Fensters im Dünnschichtsystem ein Ätzverfahren verwendet, bei dem der Abtrag im wesentlichen in einer Vorzugsrichtung erfolgt, die einen definierten Neigungswinkel mit der Oberflächennormale einschließt.

In einer anderen, vorteilhaften Ausführungsform des Verfahrens werden in einem zusätzlichen Verfahrensschritt in den durch die Fenster im Dünnschichtsystem definierten Bereichen zusätzlich optisch erkennbare und gegenüber dem Ausheilen der Halbleiterstruktur beständige Ätzkanten in die Oberfläche des Halbleiters eingätzt.

In einer weiteren, vorteilhaften Ausführungsform des Verfahrens wird vor jeder selektiven Bearbeitung eines Teilgebiets des Halbleitergebiets wenigstens auf Teile der Oberfläche des Halbleitergebiets eine Streuschicht aufgebracht. Bevorzugt wird für die Streuschicht SiO_2 verwendet.

In einer weiteren, vorteilhaften Ausführungsform des Verfahrens können durch Einstellung einer Unterätztiefe im Dünnschichtsystem je zwei aufeinander folgende Bearbeitungsvorgänge des zu strukturierenden Halbleitergebiets mit definierter Präzision, Homogenität und Reproduzierbarkeit vorgenommen werden, die zueinander zentriert sind.

Vorzugsweise gilt dann für die Präzision eines Unterätzvorgangs, daß die relative Ungenauigkeit der tatsächlichen Unterätztiefe (Abweichung einer tatsächlichen Unterätztiefe von einem Mittelwert der Unterätztiefe in einem Fenster) weniger als 10 nm beträgt.

In einer vorteilhaften Weiterbildung dieser Ausführungsform gilt für die Homogenität eines Unterätzvorgangs, daß die relative Ungenauigkeit der mittleren Unterätztiefe (Abweichung des jeweiligen Mittelwerts der Unterätztiefe von einem allen Fenstern gemeinsamen Mittelwert der mittleren Unterätztiefe) weniger als 10 nm beträgt. In einer besonders vorteilhaften Ausgestaltung gilt für die Reproduzierbarkeit eines Unterätzvorgangs, daß die effektive Unterätztiefe (Abweichung des allen Fenstern gemeinsamen Mittelwerts der mittleren Unterätztiefe von einem vorgegebenen Wert) weniger als 100 nm beträgt.

Zur weiteren Erläuterung der Erfindung wird Bezug genommen auf die Zeichnung, deren

Fig. 1 eine aus der Siliziumtechnologie an sich bekannte MOSFET-Halbleiterstruktur zeigt;

Fig. 2 und 3 jeweils eine perspektivische Ansicht des Querschnitts einer mit einem erfindungsgemäßen Verfahren bearbeiteten Halbleiterstruktur zeigen, wobei

Fig. 2 das erfindungsgemäße Öffnen der Fenster im Dünnschichtsystem illustriert, und

Fig. 3 den erfindungsgemäßen Unterätz-Prozeß zum Zu-

rücknehmen des Rands eines Fensters illustriert;

Fig. 4 bis Fig. 12 jeweils in einer zweidimensionalen Ansicht des Querschnitts einer Halbleiterstruktur den Ablauf eines erfindungsgemäßen Verfahrens andeutet, wobei

Fig. 4 bis 6 die zusätzlichen Verfahrensschritte zum optionalen Aufbringen von Justiermarken in den vom Dünnschichtsystem maskierten Bereichen zeigen,

Fig. 7 das Einätzen eines Fensters in das Dünnschichtsystem zeigt,

Fig. 8 eine erste selektive Bearbeitung eines durch ein Fenster maskierten ersten Halbleiterteilgebiets zeigt,

Fig. 9 das Rücknehmen von Teilen des Dünnschichtsystems durch einen Unterätzprozeß zeigt,

Fig. 10 eine zweite selektive Bearbeitung eines zweiten Halbleiterteilgebiets, welches maskiert wird von einem durch einen Unterätzprozeß vergrößerten Fenster, zeigt,

Fig. 11 als optionalen Schritt ein erneutes Rücknehmen von Teilen des Dünnschichtsystems durch einen Unterätzprozeß zeigt,

Fig. 12 als optionalen Schritt eine weitere, selektive Bearbeitung eines dritten Halbleiterteilgebiets, welches maskiert wird von einem durch einen erneuten Unterätzprozeß weiter vergrößerten Fenster, zeigt;

Fig. 13 und 14 jeweils in einer Draufsicht eines Ausschnitts der Oberfläche des Halbleitergebiets die während des Verfahrens verwendeten Fenster im Dünnschichtsystem zeigen.

In den Figuren sind sich entsprechende Teile mit denselben Bezugszeichen versehen.

Fig. 1 zeigt eine aus der Silizium-Technologie an sich bekannte Halbleiterstruktur eines vertikalen MOSFET mit lateralem Kanalgebiet. Die Kontaktierung eines ein Source-Gebiet bildenden ersten Halbleiterteilgebiets 3' und eines ein Basisgebiet bildenden zweiten Halbleiterteilgebiets 4' wird über eine V-förmige Source-Metallisierung 12 realisiert, die durch das erste Halbleiterteilgebiet 3' hindurch in das zweite Halbleiterteilgebiet 4' geführt ist. Das aktive Gebiet des gezeigten Bauelements befindet sich im oberflächennahen Bereich des zweiten Halbleiterteilgebiets 4'. Der laterale Überstand des zweiten Halbleiterteilgebiets 4' nach jeder Seite über das erste Halbleiterteilgebiet 3' hinaus definiert eine Kanallänge, die einer mittleren Unterätztiefe w' entspricht. In Fig. 1 sind ferner mit der Nummer 1 das Substrat, mit Nummer 2 ein weiteres HL Gebiet, mit Nummer 11 die Drain-Elektrode, mit Nummer 13 die Gate-Elektrode und mit Nummer 14 der Gate-Isolator bezeichnet.

In Fig. 2 befindet sich auf der Oberfläche 21 eines Halbleitergebiets 2 das Dünnschichtsystem D, das sich aus einer einzelnen oder vorzugsweise aus zwei Schichten S1 und S2 aus wenigstens einem Maskierungsmaterial zusammensetzt. In das Dünnschichtsystem D wird mit einem Ätzvorgang, der durch die fünf parallelen Pfeile ÄV angedeutet ist, und dessen Vorzugsrichtung mit der Oberflächennormalen ON der Oberfläche 21 des Halbleitergebiets 2 einen definierten Neigungswinkel θ einschließt, wenigstens ein Fenster 31' eingeätzt. Das wenigstens eine Fenster 31' weist innerhalb des Dünnschichtsystems eine Innenfläche 310' auf, die durch Schraffur angedeutet ist. Das eine Fenster 31' wird als Maskierung für eine selektive Bearbeitung eines ersten Teilgebiets 3' des Halbleitergebiets 2 verwendet. Durch einen erfindungsgemäßen Unterätzprozeß wird nun wenigstens eine Teilschicht des Dünnschichtsystems D in der Schichtebene annähernd gleichmäßig zurückgenommen. Der Unterätzprozeß greift dabei an der Innenfläche 310' des Fensters 31' im Dünnschichtsystem D an.

Wie in Fig. 3 dargestellt, vollzieht sich ein Abtrag zumindest einer Teilschicht des Dünnschichtsystems D nur in der Schichtebene des Dünnschichtsystems D und ist mit kurzen

Pfeilen P1 und P2 angedeutet. Die Innenfläche 310' des Fensters 31' im Dünnschichtsystem D wird durch den Unterätzprozeß um einen Betrag w' annähernd gleichmäßig zurückgesetzt. Das auf diese Weise mindestens eine vergrößerte Fenster 41' im Dünnschichtsystem D wird als Maskierung für eine selektive Bearbeitung eines zweiten Halbleiterteilgebiets 4' des Halbleitergebiets 2 genutzt. Durch das gleichmäßige Unterätzen des Dünnschichtsystems D nach allen Seiten hin sind die Halbleiterteilgebiete 3' und 4' im Rahmen einer Genauigkeit des Unterätzprozesses ohne eine zusätzliche Maskierungsebene auf dem Halbleitergebiet 2 aufeinander ausgerichtet, und insbesondere auch zueinander zentriert. Optional kann noch ein Hochtemperaturschritt zur Ausheilung bzw. Aktivierung der selektiv bearbeiteten Halbleiterteilgebiete angeschlossen werden. Falls erforderlich, wird das Dünnschichtsystem D dazu zuvor entfernt.

Schließlich muß die Halbleiterstruktur noch in an sich bekannter Weise mit Hilfsschichten und Elektroden zur Kontaktierung versehen werden. Für das Beispiel einer MOSFET-Struktur bedeutet dies, daß Gate-Isolator und Gate-Elektrode aufgebracht sowie strukturiert werden müssen. Abschließend müssen noch Source- und Drain-Kontakte metallisiert werden. Die Justierungen der Gate-Elektrode und des Source-Kontaktes erfolgen mittels der durch das Dünnschichtsystem definierten Maske, vorzugsweise aber unabhängig vom Dünnschichtsystem direkt auf eine optische Justiermarke, die die Position des ersten Teilgebiets 3' des Halbleitergebiets 2 markiert.

In einer weiteren vorteilhaften Ausgestaltung des Verfahrens gemäß der Erfindung besteht das Dünnschichtsystem mindestens aus einer ersten Dünnschicht S1 und einer zweiten Dünnschicht S2, wobei die beiden Dünnschichten nacheinander auf die Oberfläche des zu strukturierenden Halbleitergebiets abgeschieden werden und aufgrund ihrer Materialeigenschaften sowohl gegeneinander als auch gegenüber dem Halbleitermaterial selektiv ätzbar sind. Dies bedeutet, daß für das Dünnschichtsystem ein Unterätzverfahren angegeben werden kann, in dem nur eine erste der mindestens zwei Dünnschichten angegriffen wird, nicht aber die zweite und/oder weitere Schichten des Dünnschichtsystems oder der Halbleiter. Durch diese selektive Ätzbarkeit wird bei geeigneter Wahl der Schichtreihenfolge nur eine Schicht durch den erfindungsgemäßen Unterätzprozeß angegriffen. Durch die Maskierung der ersten, ätzbaren Schicht S1 durch eine zweite oder weitere, nicht ätzbare Schichten bietet diese erste Schicht dem Unterätzprozeß nur innerhalb des mindestens einen zuvor eingeätzten Fensters 31' jeweils senkrecht zur Schichtebene des Dünnschichtsystems D liegende Angriffsflächen, die ein durch die ätzbare Schicht S1 definiertes Teilgebiet der Innenfläche 310' des eingeätzten Fensters 31' darstellen. Die selektiv ätzbare erste Schicht S1 des Dünnschichtsystems D besteht vorzugsweise aus Siliziumdioxid SiO_2 , eine zweite Schicht S2 des Dünnschichtsystems D besteht vorzugsweise aus Polysilizium oder spannungsarmem Si_3N_4 . Vorzugsweise wird der Unterätzprozeß mittels eines naßchemischen Ätzverfahrens durchgeführt, wobei ein vorgegebener Sollwert der Unterätztiefe über die Ätzdauer eingestellt wird. Vorzugsweise wird als naßchemisches Ätzmittel gepufferte Flußsäure (BHF) eingesetzt; es können aber auch ohne weiteres andere Substanzen eingesetzt werden, sofern sie eine selektive Ätzbarkeit des Dünnschichtsystems gewährleisten.

In einer vorteilhaften Ausgestaltung des erfindungsgemäßen Verfahrens werden nach dem Öffnen des mindestens einen Fensters 31' im Dünnschichtsystem gemäß Fig. 4 und vor einem ersten selektiven Bearbeitungsschritt eines durch das mindestens eine Fenster 31' im Dünnschichtsystem definierte Halbleitergebiet im Bereich des mindestens einen

Fensters 31' gemäß Fig. 6 zusätzlich unzerstörbare Ätzkanten 7 in die Oberfläche des Halbleitergebiets 2 eingätzt. Auf diese Ätzkanten kann dann in späteren Verfahrensschritten justiert werden, falls beispielsweise, wie bei Silizium-Carbid, vor einem Hochtemperaturschritt zur Ausheilung der bearbeiteten Halbleiterteilgebiete das Dünnschichtsystem entfernt werden muß. Eine typische Ätztiefe liegt bei etwa 300 nm.

In einer besonders vorteilhaften Ausführungsform werden vor dem Einätzen der Justiermarken durch das Aufbringen einer weiteren Hilfsschicht 6 gemäß Fig. 5 Teile des von dem mindestens einen Fenster 31' freigelegten Halbleitergebiets 2 maskiert, so daß sie beim anschließenden Einätzen der Justiermarken vor einem Ätzangriff geschützt sind. Vorzugsweise wird diese Maskierung mittels einer Lackmaske vorgenommen, in die photolithographisch Ausnehmungen eingebracht werden, die das Dünnschichtsystem in denjenigen Bereichen freilegen, innerhalb derer sich jeweils ein Fenster 31' für das Einätzen einer Justiermarke befindet.

Die Fig. 7 bis 12 zeigen einen zweidimensionalen Querschnitt durch einen mit dem erfindungsgemäßen Verfahren bearbeiteten Halbleiter. Ein auf einem Substrat 1 angeordnetes Halbleitergebiet 2 weist an seiner Oberfläche eine erste Dünnschicht S1 und eine zweite Dünnschicht S2 auf, die nacheinander auf das Halbleitergebiet 2 abgeschieden worden sind. Nach dem in Fig. 7 angedeuteten Öffnen des Fensters 31' im Dünnschichtsystem kann in einer vorteilhaften Ausführung des erfindungsgemäßen Verfahrens gemäß Fig. 8 optional eine Streuschicht 8 auf die Oberfläche der zu bearbeitenden Struktur abgeschieden werden. Die Streuschicht kann dazu verwendet werden, das Ergebnis einer selektiven Bearbeitung des durch das mindestens eine Fenster 31' definierten ersten Halbleiterteilgebiets 3' in gewünschter Weise zu beeinflussen. Falls die Eigenschaften des ersten Halbleiterteilgebiets beispielsweise durch Ionenimplantation verändert werden sollen, so gewährleistet eine Streuschicht 8 eine Implantation der Fremdatome möglichst nahe an der Halbleiteroberfläche. Vorzugsweise wird das Material für die Streuschicht so gewählt, daß die Streuschicht bei einem folgenden Unterätzprozeß gemäß Fig. 9 des erfindungsgemäßen Verfahrens wieder vollständig entfernt wird. Besonders vorteilhaft ist die Verwendung von Siliziumdioxid (SiO_2) für die Streuschicht 8. Es kann, wie in Fig. 10 gezeigt, vor jedem weiteren selektiven Bearbeitungsschritt des Halbleitergebietes optional eine Streuschicht aufgebracht werden.

Die Fig. 11 und 12 zeigen eine weitere vorteilhafte Ausführung des erfindungsgemäßen Verfahrens. So können sich nach einem zweiten selektiven Bearbeitungsschritt eines zweiten Halbleitergebiets 4' des Halbleitergebiets 2 noch weitere Bearbeitungsschritte anschließen. In Fig. 11 ist ein zweiter Unterätzprozeß des Dünnschichtsystems dargestellt. In diesem weiteren Unterätzprozeß werden die Ränder des mindestens einen Fensters 41' (vgl. Fig. 9) wenigstens in einer Teilschicht S1 des Dünnschichtsystems um einen weiteren Betrag \bar{x}' zurückgenommen. Das resultierende mindestens eine, vergrößerte Fenster 51 dient dann gemäß Fig. 12 als Maskierung für eine dritte selektive Bearbeitung eines Teilgebiets 5 des Halbleitergebiets 2.

Vorzugsweise ist das mindestens eine in das Dünnschichtsystem D eingätzte Fenster 31' (vgl. Fig. 7) zumindest annähernd rechteck-, sechseck-, dreieck- oder kreisförmig. Vorzugsweise sind auch die Schichtdicken der Dünnschichten S1, S2 im Dünnschichtsystem D aufeinander abgestimmt. Die zweite Dünnschicht S2, welche dem Unterätzprozeß widersteht, ist einerseits dünn genug, um auch durch den nach Unterätzen der ersten Dünnschicht S1 entstehenden dachähnlichen Vorsprung im Dünnschichtsystem D hindurch eine selektive Bearbeitung des ersten Halbleiterge-

biets 2 vornehmen zu können. Andererseits muß die zweite Dünnschicht S2 dick genug sein, um mechanisch stabil zu bleiben. Ihre mechanische Stabilität bestimmt auch die maximal zulässige Unterätzung. Die Schichtdicke der ersten Dünnschicht S1 wird nach der Maßgabe gewählt, daß sie zusammen mit Schicht S2 eine ausreichend dicke Maskierung des Halbleitergebiets 2 für die durchzuführenden selektiven Bearbeitungsschritte bildet. Typischerweise sind hierfür Dicken zwischen 0,5 bis maximal 3 μm notwendig.

In einer besonders vorteilhaften Ausführungsform läßt sich durch Variation der Schichtdicken der Dünnschichten S1, S2 ein selektiver Bearbeitungsschritt des ersten Halbleitergebietes in besonderer Weise kontrollieren. Bei der Verwendung eines Fensters im Dünnschichtsystem, das die beschriebene Struktur eines vorspringenden Daches aufweist, werden zwei verschiedene Teilgebiete des ersten Halbleitergebietes definiert, die somit allein durch Variation der Schichtdicken unabhängig voneinander in einem einzigen selektiven Bearbeitungsschritt bearbeitet werden können. Selbstverständlich ist es aber auch möglich, nach einem Unterätzprozeß und vor einer selektiven Bearbeitung des Halbleitergebietes die unterätzten Teile der zweiten Dünnschicht S2 zu entfernen.

Das gewählte Beispiel einer vertikalen MOSFET-Struktur dient lediglich zur Erläuterung der Erfindung und soll nicht als eine Beschränkung des Verfahrens auf diese Struktur verstanden werden. Selbstverständlich eignet sich das Verfahren auch zur Herstellung anderer Halbleiterstrukturen, insbesondere für solche Strukturen, bei denen die Justierung von Halbleiterteilgebieten relativ zueinander kritisch für Eigenschaften des resultierenden Bauelements sind, und es insbesondere darauf ankommt, daß die Halbleiterteilgebiete zueinander zentriert sind.

Besonders vorteilhaft ist das erfindungsgemäße Verfahren für die Bearbeitung von Halbleiterstrukturen aus Silizium-Carbid geeignet, da bekannte Verfahren, die auf unterschiedlicher Diffusivität von Fremdatomen beruhen, nicht in Frage kommen. Es läßt sich aber auch auf Silizium anwenden und bietet im Gegensatz zu auf Diffusionsprozessen beruhenden Verfahren die Möglichkeit, abrupte Dotierprofile in einer Halbleiterstruktur einzustellen.

Die besonderen Vorteile des erfindungsgemäßen Verfahrens lassen sich anhand der Fig. 13 und 14 verdeutlichen. In einer Draufsicht auf die Oberfläche 21 des Halbleitergebiets 2 sind hier ein bzw. zwei verschiedene Fenster skizziert, die als Maskierung für sukzessive, selektive Bearbeitungsschritte des Halbleitergebiets 2 verwendet werden. Fig. 13 zeigt ein Fenster 31' im Dünnschichtsystem D, das durch sukzessives erfindungsgemäßes Unterätzen auf die Fenster 41' bzw. 51 erweitert wird. Die durch eine geschlängelte Linie angedeuteten jeweiligen Ränder des Fensters 41' bzw. 51 variiert entlang des Fensterrandes zwischen einer minimalen Unterätztiefe w'_{\min} bzw. x'_{\min} und einer maximalen Unterätztiefe w'_{\max} bzw. x'_{\max} . In einer vorteilhaften Ausführungsform wird der Unterätzprozeß im Rahmen einer Genauigkeit von 10 nm gleichmäßig ausgeführt, so daß nach dem n-ten Unterätzschritt die tatsächliche Unterätztiefe innerhalb des mit dem n-ten Schritt geätzten Fensters um nicht mehr als $(n \times 10)$ nm von einer mittleren Unterätztiefe

$$\bar{w}' = \frac{w'_{\max} + w'_{\min}}{2} \quad \text{bzw.} \quad \bar{x}' = \frac{x'_{\max} + x'_{\min}}{2}$$

abweicht.

In Fig. 14 ist dargestellt, daß die mittleren Unterätztiefen, $\bar{w}', \bar{w}'', \dots$ in m parallel zueinander unterätzten Fenstern 41', 41'', \dots von einem allen Fenstern gemeinsamen arithmeti-

schen Mittelwert

$$\bar{w} = \frac{1}{m} \cdot (\bar{w}' + \bar{w}'' + \dots)$$

aus den mittleren Unterätz-tiefen jeweils um nicht mehr als 10 nm abweichen.

Besonders vorteilhaft ist, daß sich das arithmetische Mittel \bar{w} der mittleren Unterätz-tiefen \bar{w}' , \bar{w}'' , ... sämtlicher Fenster auf 100 nm genau einem vorgegebenen Sollwert angleichen läßt.

In Fig. 14 sind ferner mit der Nummer 31" ein zweites eingetätztes Fenster im Dünnschichtsystem, mit dem Zeichen w''_{\min} und w''_{\max} die minimale und maximale Unterätz-tiefe bei der 1. Unterätzung eines zweiten Fensters und mit den Zeichen $\Delta\bar{w}'$ und $\Delta\bar{w}''$ die Abweichungen beim ersten und zweiten Fenster vom Mittelwert der mittleren Unterätz-tiefen bezeichnet.

Das vorstehend beschriebene erfindungsgemäße Verfahren ist besonders vorteilhaft für SiC-Material anwendbar. Prinzipiell können jedoch auch andere Halbleitermaterialien (vgl.

"Landolt-Börnstein: Zahlenwerte und Funktionen aus Naturwissenschaft und Technik", Neue Serie, Gruppe III: Kristall- und Festkörperphysik, Bd. 22: "Halbleiter", Teilband a, Hrsg.: O. Madelung, Springer-Verlag Berlin (DE) u. a., 1987, ISBN 3-540-16609-2, Seiten VIII bis XII (Table of contents)) vorgesehen werden. Beispiele wären das Gallium-Nitrid (GaN) oder Gallium-Arsenid (GaAs) vom III-V-Verbindungstyp, das Silizium (Si) oder Diamant (C) vom IV-IV-Typ, das Zink-Sulfid (ZnS) oder Cadmium-Selenid (CdSe) vom II-VI-Verbindungstyp. Auch Mischtypen wie $\text{GaIn}_x\text{As}_y\text{P}_z$ sind geeignet.

Patentansprüche

1. Verfahren zur Herstellung von Halbleiterstrukturen, bei dem

- a) ein Dünnschichtsystem (D) aus mindestens einer Teilschicht und aus wenigstens einem Maskierungsmaterial auf die Oberfläche (21) eines Halbleitergebiets (2) abgeschieden wird,
- b) mit einem Ätzverfahren mindestens ein Fenster (31', 31'') in das Dünnschichtsystem (D) eingetätzt wird,
- c) das mindestens eine Fenster (31', 31'') im Dünnschichtsystem (D) als Maske für eine erste selektive Bearbeitung eines Teilgebiets (3) des Halbleitergebiets (2) genutzt wird,
- d) durch einen Unterätz-Prozeß wenigstens in der mindestens einen Teilschicht (S1) des Dünnschichtsystems (D) der Rand (310') des mindestens einen Fensters (31', 31'') in der Schichtebene jeweils annähernd gleichmäßig um einen Betrag zurückgenommen wird, der einer mittleren Unterätz-Tiefe (\bar{w}') entspricht;
- e) das mindestens eine durch Unterätzen vergrößerte Fenster (41', 41'') im Dünnschichtsystem (D) für eine zweite selektive Bearbeitung eines weiteren Teilgebiets (4') des Halbleitergebiets (2) genutzt wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Ausbildung des Dünnschichtsystems eine erste Dünnschicht (S1) und eine zweite Dünnschicht (S2) nacheinander abgeschieden werden, die aufgrund ihrer Materialeigenschaften selektiv ätzbar sind, ohne die jeweils andere Dünnschicht und/oder das Halblei-

tergebiet (2) anzugreifen.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß für das Dünnschichtsystem (S1, S2) zumindest teilweise ein Oxidmaterial vorgesehen ist.

4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das wenigstens teilweise Unterätzen des Dünnschichtsystems (S1, S2) durch naßchemisches Ätzen vorgenommen wird, wobei ein vorgegebener Sollwert der Unterätz-Tiefe über die Ätzdauer eingestellt wird.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß als ein naßchemisches Ätzmittel gepufferte Flußsäure (BHF) vorgesehen wird.

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß zum Einätzen des wenigstens einen Fensters (31', 31'') in das Dünnschichtsystem ein Ätzverfahren vorgesehen wird, bei dem der Materialabtrag im Wesentlichen in einer Vorzugsrichtung erfolgt, die einen definierten Neigungswinkel (θ) mit der Oberflächennormalen (ON) der Oberfläche (21) des Halbleitergebiets (2) einschließt.

7. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß nach dem Ätzen des Dünnschichtsystems (S1, S2) zusätzlich optisch erkennbare und gegenüber einer Ausheilung der Halbleiterstruktur beständige Ätzkanten (7) in die Oberfläche (21) des Halbleitergebiets (2) eingetätzt werden.

8. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß vor einer Bearbeitung des Halbleitergebiets (2) eine Streuschicht (8) wenigstens auf Teile der Oberfläche (21) des Halbleitergebiets aufgebracht wird.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß für die Streuschicht SiO_2 vorgesehen wird.

10. Verfahren nach einem der Ansprüche 2 bis 9, dadurch gekennzeichnet, daß nach einem Unterätzen der ersten Dünnschicht (S1) die zweite Dünnschicht (S2) zumindest teilweise entfernt wird.

11. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch einen Unterätzprozeß, bei dem

- a) in mindestens einem vergrößerten Fenster (41', 41'') die mittlere Unterätz-Tiefe (\bar{w}' , \bar{w}'') dem arithmetischen Mittel aus einer minimalen Unterätz-Tiefe (w'_{\min} , w''_{\min}) und einer maximalen Unterätz-Tiefe (w'_{\max} , w''_{\max}) entspricht;
- b) in dem mindestens einen Fenster die Abweichung der tatsächlichen Unterätz-Tiefe von der mittleren Unterätz-Tiefe (\bar{w}' , \bar{w}'') unterhalb eines für alle Fenster gemeinsam vorgegebenen Wertes liegt.

12. Verfahren nach Anspruch 11, gekennzeichnet durch einen Unterätzprozeß zur Ausbildung mehrerer Fenster, bei dem

- a) ein Mittelwert (\bar{w}) eingehalten wird, der dem arithmetischen Mittel aus den mittleren Unterätz-Tiefen (\bar{w}' , \bar{w}'') sämtlicher Fenster entspricht;
- b) wobei eine Abweichung ($\Delta\bar{w}'$, $\Delta\bar{w}''$) der mittleren Unterätz-Tiefe (\bar{w}' , \bar{w}'') von diesem Mittelwert (\bar{w}) für jedes der Fenster (41', 41'') unterhalb eines vorgegebenen Wertes eingehalten wird.

13. Verfahren nach Anspruch 12, gekennzeichnet durch einen Unterätzprozeß, bei dem der Mittelwert (\bar{w}) aus den mittleren Unterätz-Tiefen (\bar{w}' , \bar{w}'') sämtlicher Fenster (41', 41'') höchstens um ein Längennmaß, welches einer Justagetoleranz entspricht, von einem vorgegebenen Sollwert der Unterätz-Tiefe abweicht.

14. Verfahren nach einem der Ansprüche 11 bis 13, da-

durch gekennzeichnet, daß in jedem Fenster (41', 41'') eine Abweichung der tatsächlichen Unterätz-Tiefe von der mittleren Unterätz-Tiefe (\bar{w}' , \bar{w}'') von jeweils weniger als 10 nm eingehalten wird.

15. Verfahren nach einem der Ansprüche 12 bis 14, 5
dadurch gekennzeichnet, daß in jedem der Fenster (41', 41'') eine Abweichung ($\Delta w'$, $\Delta w''$) der mittleren Unterätz-Tiefe (\bar{w}' , \bar{w}'') vom Mittelwert (\bar{w}) aus den mittleren Unterätz-Tiefen (\bar{w}' , \bar{w}'') sämtlicher Fenster von jeweils weniger als 10 nm eingehalten wird. 10

16. Verfahren nach einem der Ansprüche 13 bis 15, 15
dadurch gekennzeichnet, daß eine Abweichung des Mittelwerts (\bar{w}) aus den mittleren Unterätz-Tiefen (\bar{w}' , \bar{w}'') sämtlicher Fenster (41', 41'') vom vorgegebenen Sollwert der Unterätz-Tiefe von weniger als 100 nm 15 eingehalten wird.

17. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß zur ersten und/oder weiteren selektiven Bearbeitung des Halbleitergebiets (2) Fremdatome mittels Ionenimplantation in das 20 Halbleitergebiet (2) eingebracht werden.

18. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch mehrfache Anwendung einer Abfolge sukzessiver Verfahrensschritte, die jeweils wenigstens aus einem Unterätzen des Dünn- 25 schichtsystems (D) und dem Benutzen der resultierenden vergrößerten Fenster (41', 41'', 51) in der Maskierung des Halbleitergebiets (2) für eine selektive Bearbeitung des besagten Halbleitergebiets besteht.

19. Verfahren nach einem der vorhergehenden Ansprüche, 30
dadurch gekennzeichnet, daß für das Halbleitergebiet (2) Silizium-Carbid oder Gallium-Nitrid oder Gallium-Arsenid oder Diamant oder Silizium verwendet wird.

20. Halbleiterstruktur, gekennzeichnet durch eine Herstellung nach einem Verfahren gemäß einem der vorhergehenden Ansprüche. 35

Hierzu 8 Seite(n) Zeichnungen

40

45

50

55

60

65

- Leerseite -

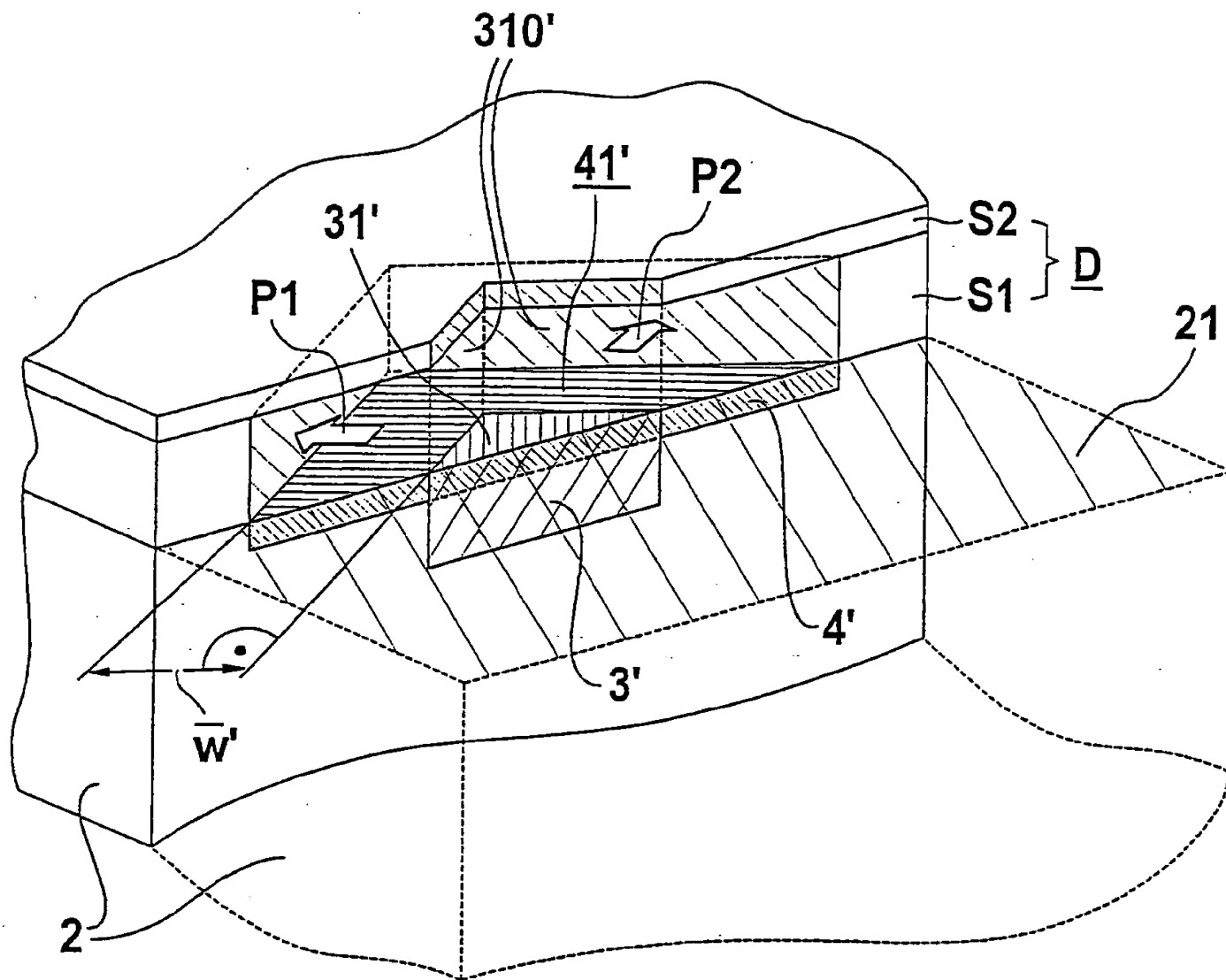


FIG 3

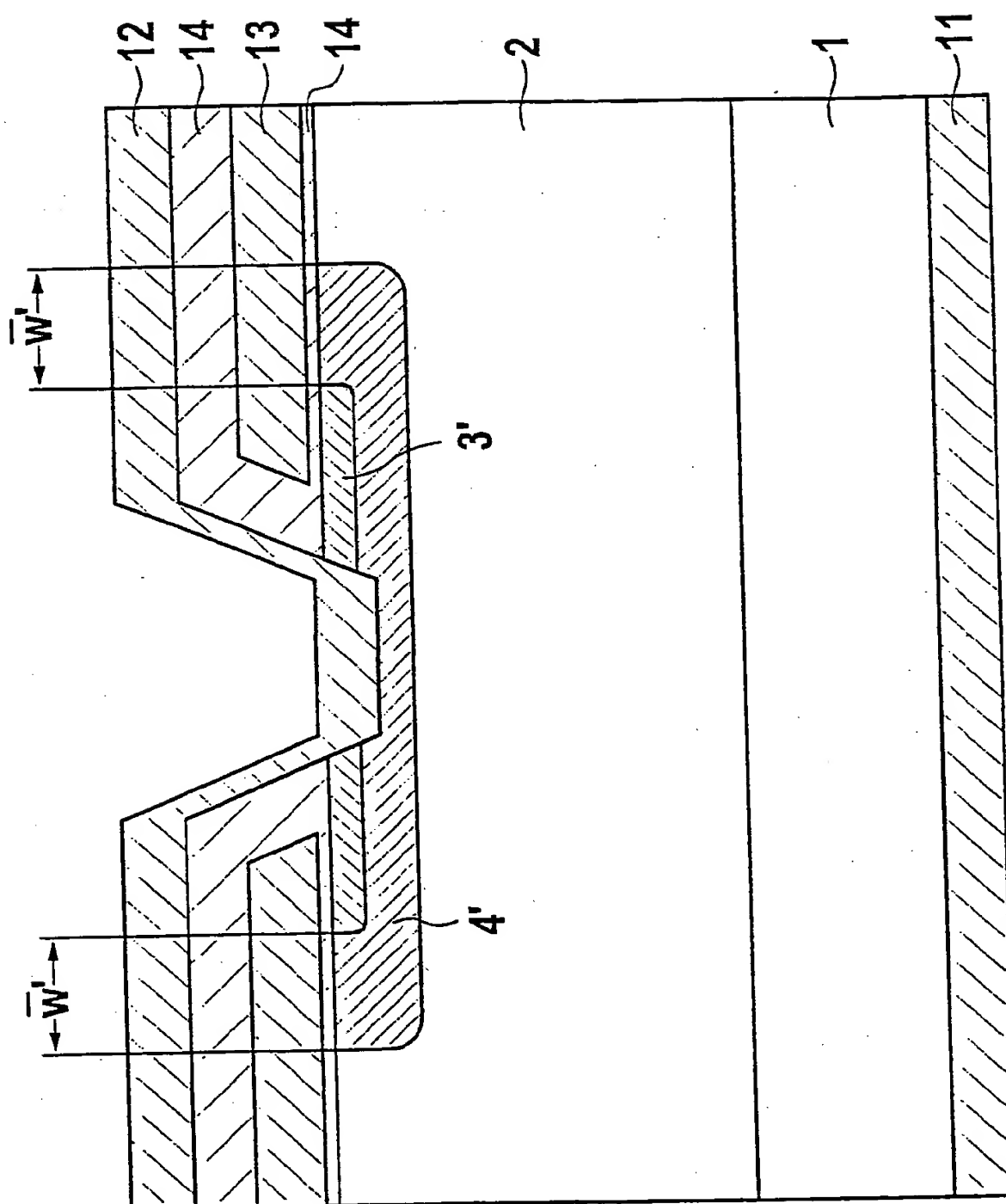


FIG 1

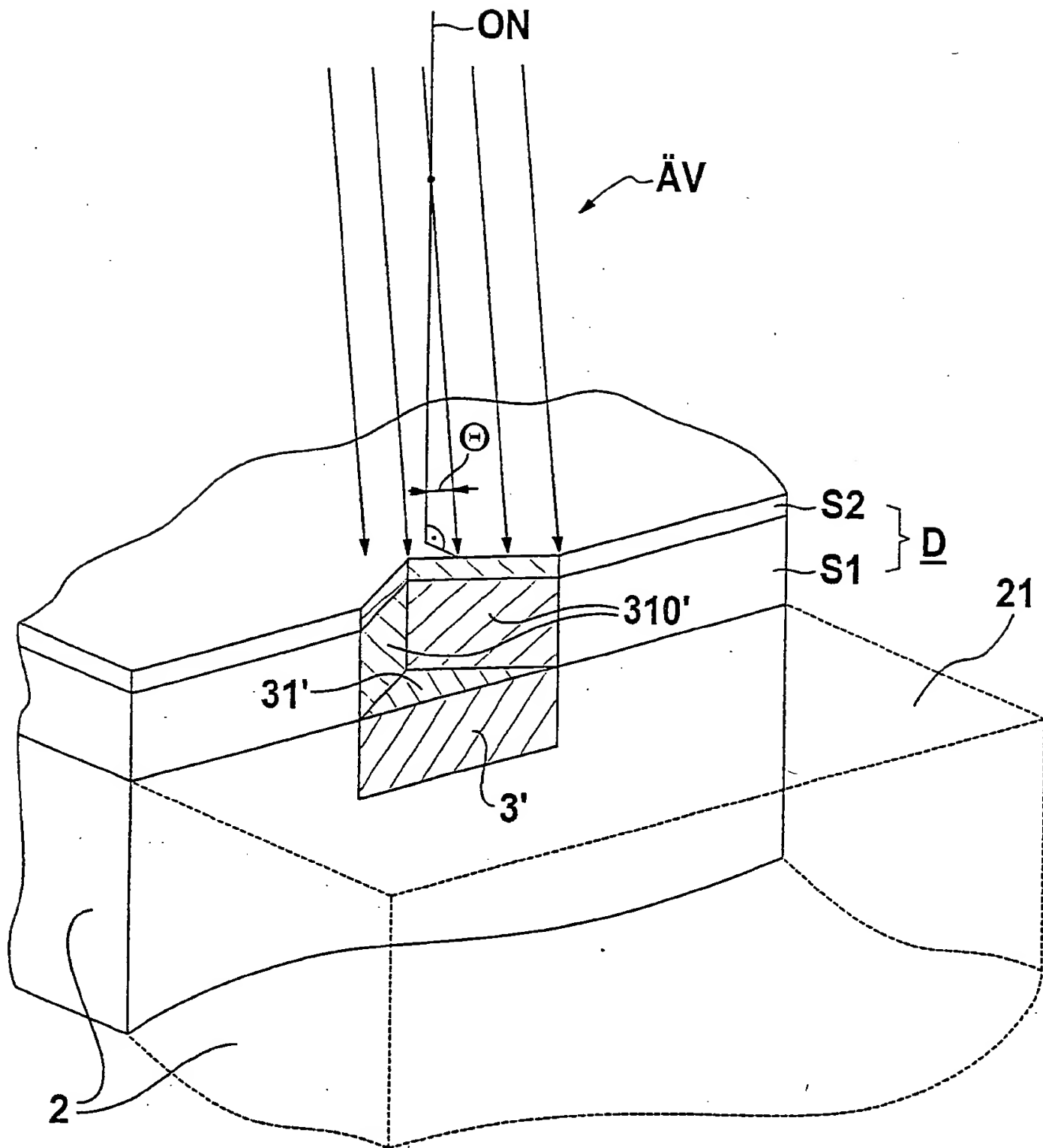


FIG 2

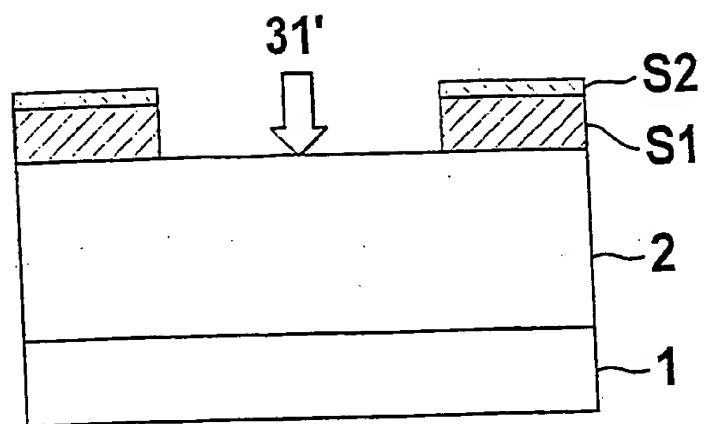


FIG 4

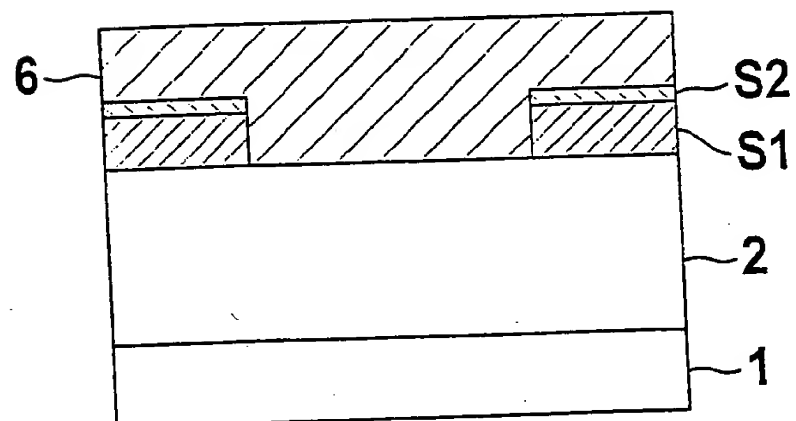


FIG 5

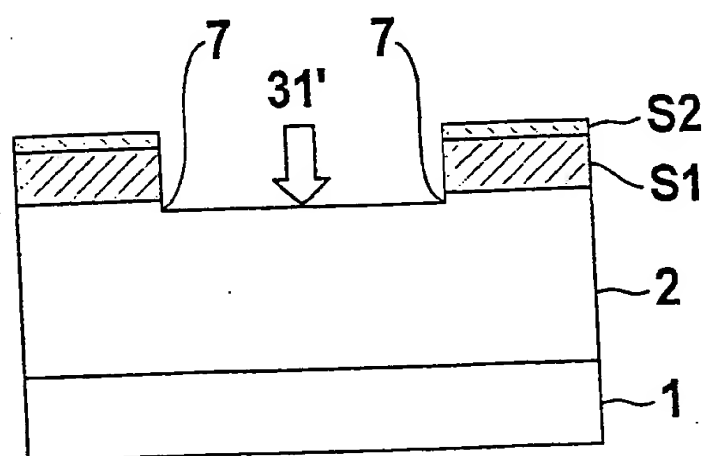


FIG 6

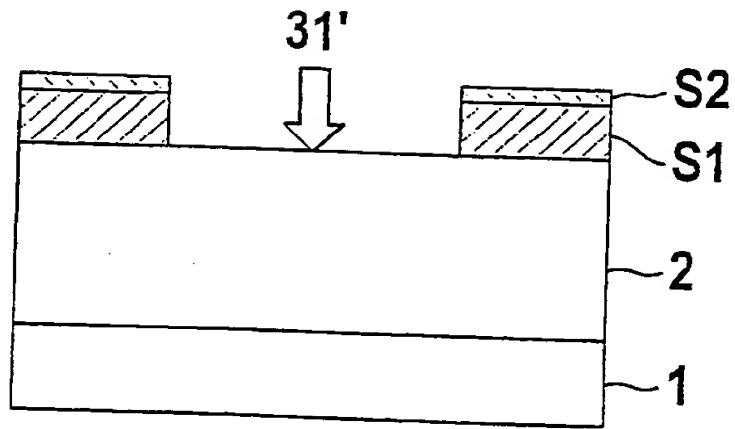


FIG 7

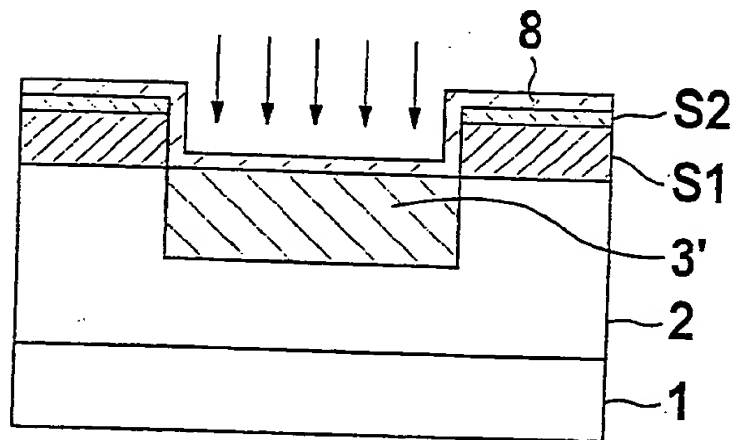


FIG 8

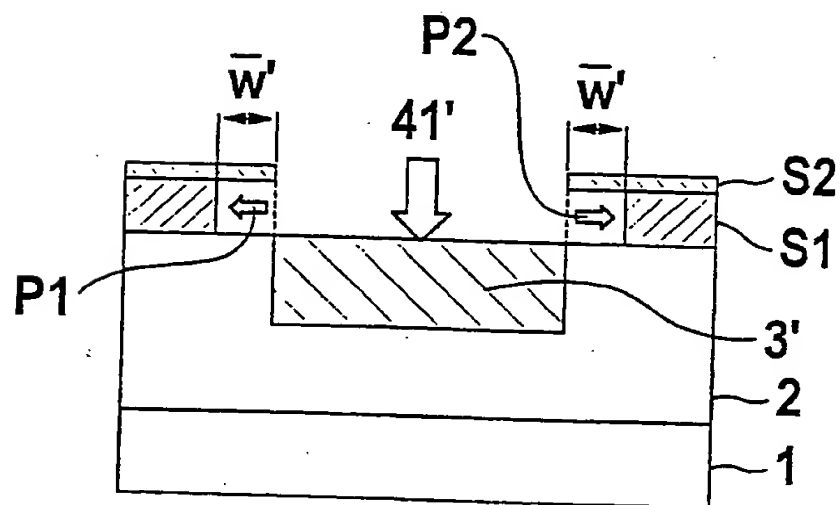


FIG 9

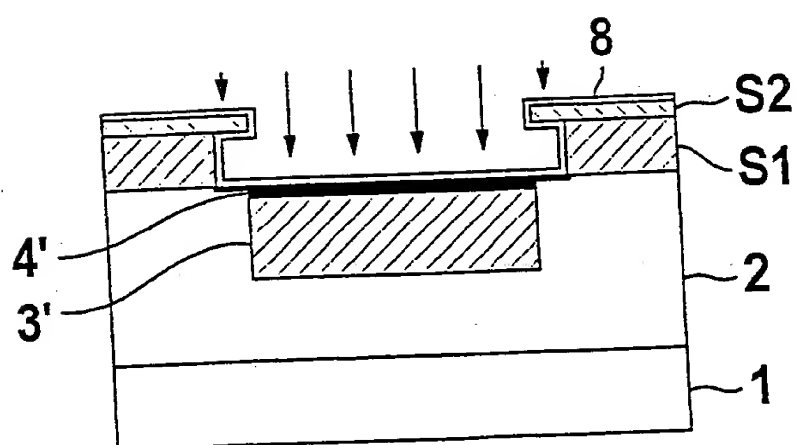


FIG 10

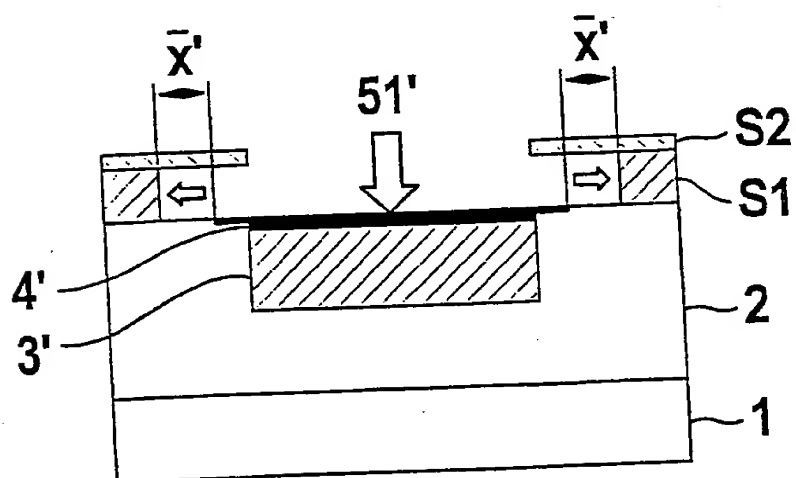


FIG 11

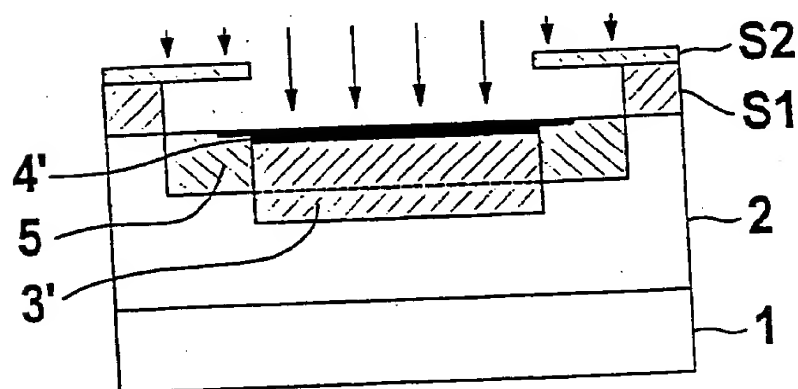


FIG 12

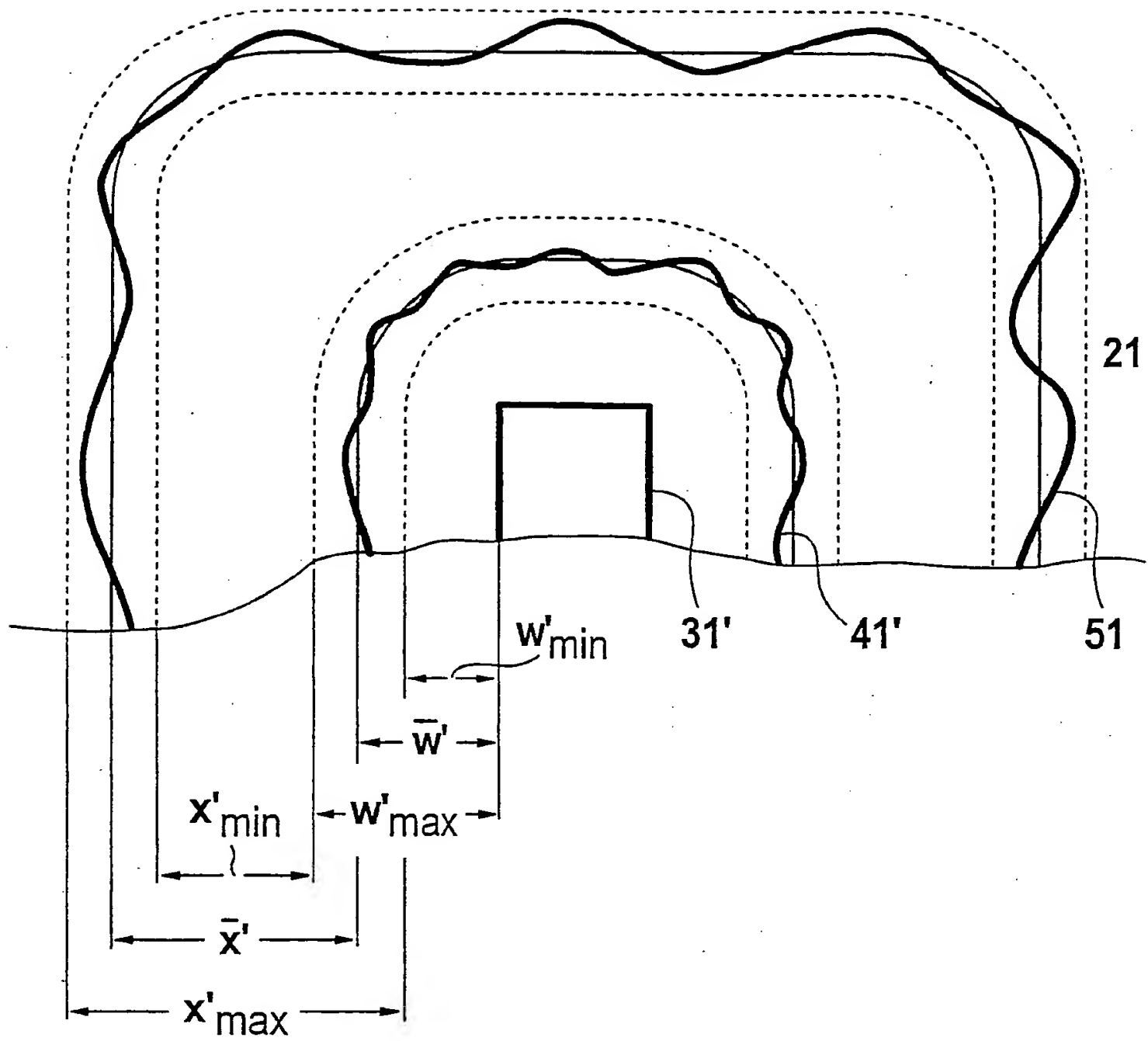


FIG 13

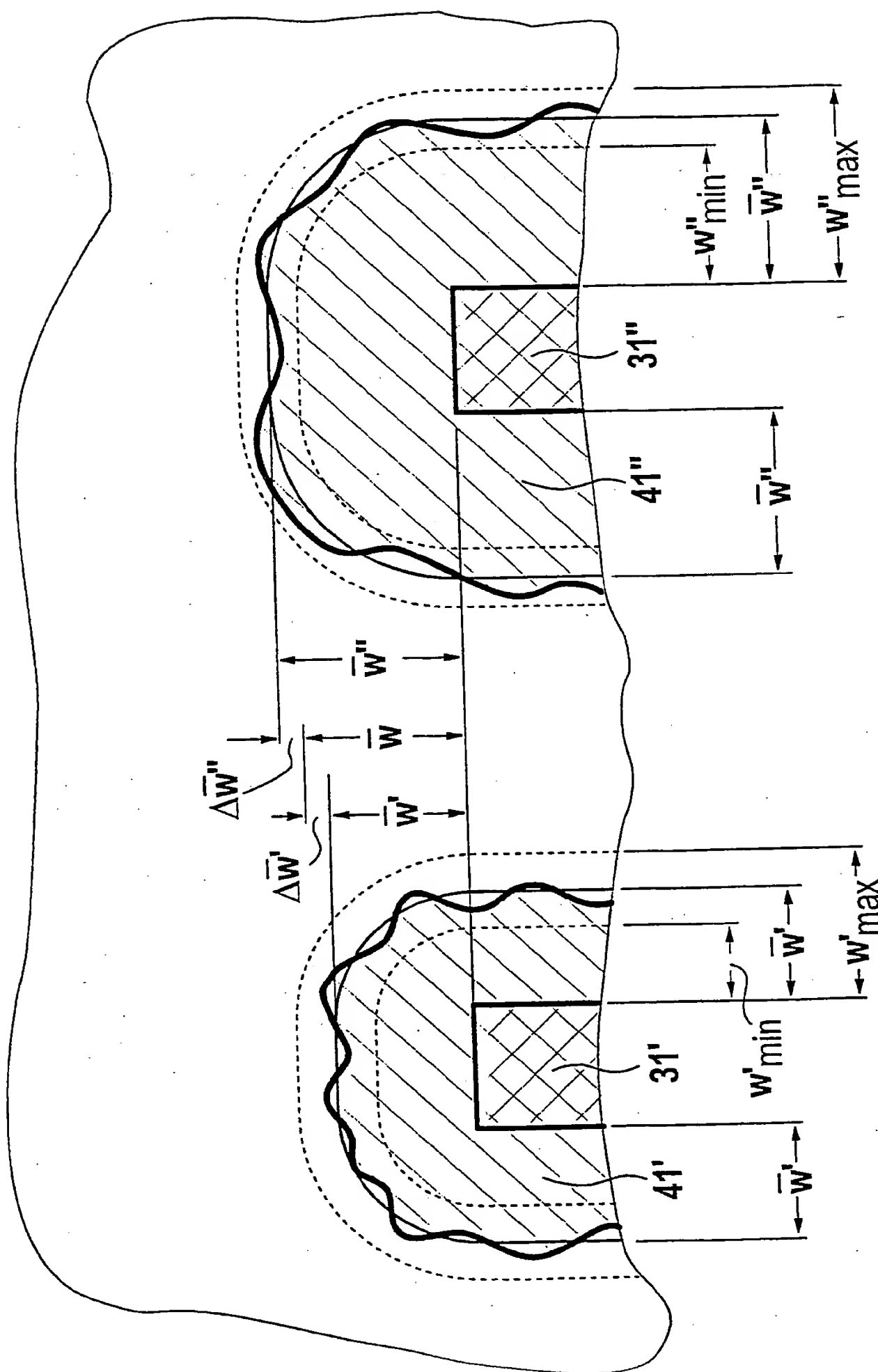


FIG 14